

Option
APPLICATION communicantes embarquees

APPLICATIONS EMBARQUEES et TEMPS-REEL
REAL-TIME and EMBEDDED APPLICATIONS

Volume total : C : 24h
Période : Semestre 2

Enseignant(s) : Marc Renaudin, Florence Maraninchi, Stephane Mancini
e-mail : Marc.Renaudin@imag.fr , Florence.Maraninchi@imag.fr , Stephane.Mancini@lis.inpg.fr
Responsable : Florence Maraninchi

Objectifs de l'enseignement

- *Présenter les modèles fondamentaux du temps et du parallélisme pour comprendre à la fois la conception des systèmes numériques intégrés et la conception des systèmes logiciels temps- réel et embarqués.*
-- *Etudier les principes de la programmation temps-réel et des systèmes d'exploitation temps-réel.*

Contenu

Modèles du temps et du parallélisme (synchrone, asynchrone, mixte), notion de temps- réel et de distribution, notion de test et de vérification, principes des langages de programmation du domaine.
Programmation des applications embarquées (langages pour le temps- réel critique, spécialisation des systèmes d'exploitation pour le temps- réel, architectures logicielles/matérielles spécifiques)

Prérequis

Conception de circuits digitaux, automates, programmation séquentielle.

Forme d'examen

Devoir surveillé en fin de cours.

Objectives

--- Fundamental models of time and concurrency, for the understanding of both integrated numerical systems and real-time embedded software.
-- Principles of real-time programming and real-time operating systems.

Contents

Models of time and concurrency (synchronous, asynchronous, mixed), notions of real-time and distribution, notions of test and verification, principles of the programming languages of the domain.
Programming embedded applications (languages for critical real-time applications, specializing operating systems for real-time, specific hardware/software architectures).

Prerequisites

Digital circuit design, automata, sequential programming.

Examination

Written examination at the end of the course.

Bibliographie / Textbooks

Distributed Systems, principles and paradigms – Tanenbaum, prentice-hall
Real-Time Systems - Jane W.S. Liu – Prentice Hall, 2000

Système de Calcul de la note finale :

Note de 1ère session : E1

Note de 2ème session : E2

MAJ 2007 /2008

INTEGRATION DES SYSTEMES SYSTEM INTEGRATION

Volume total : C 25,5h
Période : Semestre 2

Enseignant(s) : Régis Leveugle, Patricia Rollandet
e-mail : Regis.Leveugle@imag.fr , patricia.rollandet@st.com
Responsable : Régis Leveugle

Objectifs de l'enseignement

Présenter les principaux concepts, méthodes et outils utilisés pour la conception, la vérification et le test des systèmes numériques intégrés.

Contenu

VHDL pour la synthèse et la ré-utilisation.
Flot de conception et évolution.
Vérification fonctionnelle et temporelle.
Principes de génération de vecteurs de test et de conception pour le test.
Synthèse de haut niveau.
Optimisation et vérification de l'implémentation.

Prérequis

Conception de circuits digitaux, bases de VHDL.

Forme d'examen

Devoir surveillé en fin de cours.

Objectives

To present the main concepts, methods and tools used in design, validation and test of digital integrated systems.

Contents

VHDL for synthesis and re-use.
Design flow and evolution.
Functional and timing verification.
Principles of test vector generation and design for testability.
High-level synthesis.
Implementation optimization and verification.

Prerequisites

Digital circuit design, VHDL basics.

Examination

Written examination at the end of the course.

Bibliographie / Textbooks

"VHDL, langage, modélisation, synthèse", R. Airiau, J.M. Bergé, V. Olive, J. Rouillard, Collection informatique, Presses Polytechniques et Universitaires Romandes, 2ème édition, 1998.

"Understanding Behavioral Synthesis", J.P. Elliott, Kluwer Academic Publishers, ISBN: 0-7923-8542-X.

"Reuse Methodology Manual, For System on a Chip Designs", M. Keating, P. Bricaud, Third Edition, Kluwer Academic Publishers, ISBN : 1-4020-7141-8.

"Digital Systems Testing and Testable Design", M. Abramovici, M. Breuer, A. Friedman , Computer Science Press, 1990

Système de Calcul de la note finale :

Note de 1ère session : $N1 = E1$

Note de 2ème session : $N2 = E2$

MAJ 2007 /2008

INTERROGATION BDD et MODELISATION OBJET
MODELING SYSTEM USING DATABASE

Volume total : C 18 h
Période : Semestre 2

Enseignant(s) : Karine Altisen, Philippe Aubert
e-mail : Karine.Altisen@imag.fr, philippeaubert@wanadoo.fr
Responsable : Karine Altisen

Objectifs de l'enseignement

Donner les bases nécessaires à la compréhension de l'interrogation des bases de données. Donner les bases de la modélisation objet des logiciels.

Contenu

Algèbre relationnelle, SQL
Modélisation objet en UML, principaux diagrammes.

Prérequis

Pratique d'un langage de programmation objet.

Forme d'examen

Devoir surveillé en fin de cours.

Objectives

Elements for the understanding of database querying. Fundamentals of object-oriented software modeling

Contents

Relational algebra, SQL
Object-oriented modeling with UML, main diagrams

Prerequisites

Programming with an object-oriented language.

Examination

Written examination at the end of the course.

Bibliographie / Textbooks

C. Delobel et M. Adiba, Bases de données et Systèmes Relationnels, Dunod informatique, 1982
P.-A. Muller, N. Gaertner. Modélisation objet avec UML. Deuxième édition. Eyrolles, 2000.

Système de Calcul de la note finale :

Note de 1ère session : E1

Note de 2ème session : E2

MAJ 2007 / 2008

PROJET CONCEPTION
DESIGN PROJECT

Volume total : Projet 40h
Période : Semestre 2

Enseignant(s) : Régis Leveugle, Lorena Anghel, Sophie Dumont
e-mail : Regis.Leveugle@imag.fr , lorena.anghel@imag.fr , sophie.dumont@imag.fr
Responsable : Régis Leveugle

Objectifs de l'enseignement

Ce projet doit permettre aux étudiants de mettre en œuvre les principaux outils du flot de conception d'un circuit numérique pré-caractérisé : spécification, implantation, et vérification.

Contenu

Analyse d'un cahier des charges applicatif, spécification de la partie commande d'un filtre numérique (modélisation VHDL pour la synthèse et la réutilisation).

Ecriture d'un testbench, vérification fonctionnelle.

Synthèse, vérification fonctionnelle et temporelle niveau portes.

Insertion de scan et génération de vecteurs de test.

Placement-routage et vérification de l'implémentation.

Prérequis

circuits numériques, concepts de base en architecture d'ordinateur, bases de modélisation VHDL

Forme d'examen

Compte rendu

Objectives

This project allows the students practicing with the main tools in the design flow of a custom cell-based digital circuit: specification, implementation, and verification.

Contents

Study of an application, specification of the control part of a digital filter (VHDL modeling for synthesis and re-use).

Testbench writing, functional verification.

Synthesis, functional and temporal verification at gate level.

Scan insertion and generation of test patterns.

Placement and routing, implementation verification.

Prerequisites

logic design, basic concepts in computer architecture, notions in VHDL-based modeling

Examination

Report

Bibliographie / Textbooks

Système de Calcul de la note finale :

Note de 1ère session : [Compte-rendu](#)

Note de 2ème session : [pas de rattrapage](#)

MAJ 2007 /2008