

Option
APPLICATION COMMUNICANTES EMBARQUEES

ARCHITECTURES POUR APPLICATIONS MULTIMEDIA
ARCHITECTURE FOR DIGITAL MULTIMEDIA APPLIANCE

Volume total : 15h C
Période : Octobre à décembre

ENSEIGNANT(S) : Olivier Husson
e. mail : olivier.husson@st.com
RESPONSABLE : Olivier Husson
e. mail : olivier.husson@st.com

Objectifs de l'enseignement :
Connaissance des techniques de bases du multimédia numérique.
Compréhension des circuits multimédia numériques complexes.

Contenu :
Techniques de base de l'image et du son numérique.
Standards du multimédia numérique.
Réalisation des systèmes multimédia: architectures matérielles et logicielles.

Prérequis :
Bases en traitement du signal et architecture des systèmes.

Forme d'examen :
Examen écrit.

Objectives:
Knowledge of basic multimedia techniques.
Understanding of complex digital multimedia integrated circuits (System On Chip).

Contents:
Digital video and audio basic techniques.
Deeper review of multimedia digital standards.
Implementing multimedia systems: hardware and software architectures.

Prerequisites:
Digital signal processing and system architecture basis.

Examination:
Written examination.

Bibliographie/Textbooks:
La Télévision Numérique H. Benoit – DUNOD
Traitement numérique du signal. Théorie et pratique. M.Bellanger - edition MASSON
Video demystified Keith Jack Third Edition, LLH Technology Publishing, 2001.
Internet
EBU Technical review (short articles) at: http://www.ebu.ch/trev_index-el.html
MPEG: ISO/IEC 13818-2: 1995 (E) Recommendation ITU-T H.262 (1995 E) <http://www.mpeg.org>
JPEG: <http://www.jpeg.org/public/jpeglinks.htm>
ResearchIndex: <http://citeseer.nj.nec.com/> <http://www.whatis.com> <http://www.google.fr>

Système de Calcul de la note finale :
Note de 1^{ère} session :
Note de 2^{ème} session :

Version 2004-2005

ARCHITECTURE DES SYSTEMES INTEGRES RF
ARCHITECTURE OF INTEGRATED RADIO SYSTEMS

Volume total : C 18h
Période : Octobre à novembre

ENSEIGNANT(S) : Michel AYRAUD (e2v Semiconductors)
e. mail : michel.ayraud@e2v.com
RESPONSABLE : Michel AYRAUD (e2v Semiconductors)
e. mail : michel.ayraud@e2v.com

Objectifs de l'enseignement :

Analyse et conception de systèmes radio intégrables sur Silicium.
Notions de bases, dimensionnement , architectures radio integrables, étude de l'existant.

Contenu :

• **Bases :**

- bilan de liaison,
- modulations,
- accès multiple,
- changement de fréquence,
- NF/IP3.

< **Architecture :**

- superhétérodyne,
- FI nulle,
- FI basse,
- radio logicielle.

Prérequis :

Blocs élémentaires radio

Forme d'examen :

Examen écrit

Objectives:

Analysis and design of radio systems that can be integrated on Silicon.
Basics, system calculation, architecture that can be integrated, existing systems.

Contents:

• **Basics:**

- radio path,
- modulations,
- multiple acces,
- frequency translation,
- NF/IP3.

• **Architectures :**

- superheterodyne,
- zero IF,
- near zero IF,
- software defined radio.

Prerequisites:

Basics of radio blocks

Examination:

Written examination

Bibliographie/Textbooks :

Système de Calcul de la note finale :

Note 1^{ère} session : Examen unique en Décembre
Note 2^{ème} session : One unique examination in December

PROCESSEURS DE SIGNAUX ET FILTRAGE NUMERIQUE
DIGITAL SIGNAL PROCESSORS (D.S.P.) AND DIGITAL FILTERING

Volume total : 35,5h **Cours :** 7,5h, **TD :** 28h
Période : Semestre 1 (Septembre à Janvier)

ENSEIGNANT(S) : Laurent GIRIN
e. mail : girin@icp.inpg.fr
RESPONSABLE : Laurent GIRIN
e. mail : girin@icp.inpg.fr

Objectifs de l'enseignement :

- découvrir comment certains processeurs sont optimisés pour le traitement du signal (et des images)
- étudier un exemple détaillé de machine pour comprendre où se situent les limitations dans les performances
- appliquer ses connaissances au filtrage numérique du signal (filtres non récurrents, filtres récurrents)
- être capable de réaliser les compromis nécessaires entre précision et rapidité de calcul, ou bien entre gabarit et capacités de stockage.

Contenu :

Cours :

- Architecture machine et optimisation en vue du traitement du signal
- Les grands domaines d'applications (traitement du signal / Traitement d'image / Vidéo)
- Description détaillée d'une machine (Motorola 56000) et de la maquette d'évaluation (DSP + codec + mémoires externes...)
- Introduction à la programmation en assembleur 56000 et lien avec le filtrage numérique.
- Rappels des fondamentaux de la théorie du traitement du signal numérique (avec focus sur le filtrage)

Séances pratiques (en petit groupe devant machines) :

- Examen approfondi de l'unité centrale et premiers exemples de calculs avec un D.S.P.
- Une chaîne complète de traitement du signal numérique (Programmation et Analyse de performances)
- Les filtres numériques à réponse impulsionnelle finie R.I.F. (Programmation et Analyse des performances obtenues)
- Les filtres numériques à réponse impulsionnelle infinie R.I.I. (Programmation et Analyse des performances obtenues)
- Comparaison – Synthèse et conclusions –

Pré requis :

Architecture des Ordinateurs (matériel et Logiciel) – Programmation (Logiciel de Base) –
Traitement Numérique du Signal – Transformées de Fourier et en Z – Filtrage Numérique

Forme d'examen :

rapport d'activité à la fin des séances pratiques.

Objectives:

Machine optimisation for signal (and image) processing; study (on detailed examples) the limitations in performances due to the DSP and apply this new knowledge on digital filtering (recursive and non-recursive filters), be able to realize in a design the best compromises between precision and calculation speed or filter shapes and memory limitations, or consumption and storage capacities,

Contents:

Courses deal with:

- machine architecture and optimisation for signal processing
- application areas
- detailed description of a particular example : Motorola DSP56000.
- description of the evaluation toolkit (DSP + codec + external memories...)
- introduction to programming in assembler 56000 and its relationship with digital filtering
- reminders of fundamentals of digital signal processing (with emphasis on filtering techniques).

Practical exercises (small groups with development kits) on : central unit calculations, a complete digital signal processing chain, first DSP calculations, comparisons on Finite Impulse Response filters (F.I.R.) and Infinite Impulse Response filters (I.I.R.) designs and performance analysis. Synthesis and conclusions.

Prerequisites:

Computer architecture (hardware and software) – Basic programming (assembler language)
Digital signal processing – Fourier and "Z" transforms –

Examination: report on practical activities at the end

Bibliographie/Textbooks :

Documents de cours distribués – notices constructeurs / copy of teaching documents – Data sheets

Système de Calcul de la note finale : Une seule Note, celle du rapport final

Note de 1^{ère} session :

Note de 2^{ème} session :

MAJ 2007-2008

PROJET DE CONCEPTION
DESIGN PROJECT

Volume total : 42h TD + 40h libre-service
Période : Octobre-Janvier

ENSEIGNANT(S) : Régis. LEVEUGLE, Frédéric PETROT, Stéphane MANCINI
e. mail : Regis.Leveugle@imag.fr, Frederic.Petrot@imag.fr, Stephane.Mancinin@inpg.fr
RESPONSABLE : Régis. LEVEUGLE
e-mail : Regis.Leveugle@imag.fr,

Objectifs de l'enseignement :

Permettre la conception complète d'un système intégré, de la spécification d'architecture jusqu'au prototype sur réseau programmable.

Contenu :

- Spécification de l'architecture du système (matériel et logiciel)
- Développement des blocs (matériel décrit au niveau RTL en VHDL, logiciel en C, ...)
- Intégration des différentes parties du système et placement/routage sur le réseau programmable
- Démonstration au niveau applicatif

Prérequis :

- Langage VHDL, programmation C
- Bases de conception de circuit (conception logique, outils CAO)
- Bases de systèmes d'exploitation (pour certains sujets)

Forme d'examen :

Rapport de projet et soutenance

Objectives:

To allow the complete design of an integrated system, from the architecture specification down to the prototype on a programmable device.

Contents:

- Specification of the system architecture (hardware and software)
- Development of the blocks (hardware described at RT-level in VHDL, software in C, ...)
- Integration of the different system parts and placement/routing on the programmable device
- Demonstration at application level

Prerequisites:

- VHDL language, C programming
- VLSI design basics (digital design, CAD tools)
- Operating systems basics (for some case studies)

Examination:

Project report and oral presentation

Bibliographie/Textbooks:

Système de Calcul de la note finale :

Note de 1^{ère} session : note donnée après lecture du rapport et soutenance/démonstration

Note de 2^{ème} session : néant

MAJ 2007-2008

SURETE ET TOLERANCE AUX FAUTES
DEPENDABILITY AND FAULT TOLERANCE

Volume total : 18h C
Période : octobre décembre

ENSEIGNANT(S) : Lorena ANGHEL
e-mail : Lorena.Anghel@imag.fr
RESPONSABLE : Lorena ANGHEL
e-mail : Lorena.Anghel@imag.fr

Objectifs de l'enseignement :

Connaissances de techniques de tolérance aux fautes dans les systèmes informatiques

Contenu :

Modèles de fautes. Fautes – erreurs - défaillances

Notions de fiabilité des systèmes informatiques

Détection des erreurs, techniques matérielles de tolérance aux fautes

Techniques logicielles de tolérance aux fautes

Etude de cas : comment on réalise la tolérance aux fautes dans les systèmes transactionnels, de très haute sécurité, de grande disponibilité

Prérequis :

Notions de circuits intégrés et VLSI

Architectures d'ordinateurs

Forme d'examen :

Epreuve écrite

Objectives:

Knowledge of fault tolerance techniques in computer architectures

Contents:

Fault models. Faults – errors- failures

Reliability knowledge

Error detection, hardware fault tolerance techniques

Software fault tolerance techniques

Case study: how to implement fault tolerance in high availability systems, critical systems and long life systems

Prerequisites:

VLSI and Integrated Circuits

Computer Architectures

Examination:

Written examination

Bibliographie/Textbooks :

Système de Calcul de la note finale :

Note de 1^{ère} session : N1=E1

Note de 2^{ème} session : N2=ES

MAJ 2007 / 2008

VALIDATION DES SYSTEMES EMBARQUES
VALIDATION OF EMBEDDED SYSTEMS

Volume total : 30h
Période : S1

ENSEIGNANT : Florence Maraninchi, Matthieu Moy
e-mail : Florence.Maraninchi@imag.fr, Matthieu.Moy@imag.fr
RESPONSABLE : Florence Maraninchi
e-mail : Florence.Maraninchi@imag.fr

Objectifs de l'enseignement :

Comprendre les principales techniques automatiques qui peuvent être utilisées pour valider formellement des systèmes embarqués (model-checking, test automatique, interprétation abstraite, ...)

Etudier un environnement de prototypage virtuel des systèmes embarqués : SystemC, utilisé dans la conception des systèmes sur puce.

Contenu :

15h de cours sur les techniques de validation

15h (dont 3 à 4 séances de TP sur machine) sur SystemC, la modélisation des systèmes sur puce au niveau transactionnel (TLM), et les outils de simulation associés.

Prérequis : applications embarquées et temps-réel (cours de 2A), programmation objet, programmation en C/C++

Forme d'examen :

-- un examen écrit en fin de cours

-- un TP à rendre

Objectives:

Understand the main techniques that can be used to validate embedded systems formally (model-checking, automatic testing, abstract interpretation, ...)

Study a particular virtual prototyping environment for embedded systems: SystemC, use for the design of systems-on-a-chip.

Contents:

15h on validation techniques

15h (including 5 to 6 h dedicated to practical activities) on SystemC, the notion of transaction-level modeling of systems-on-a-chip (TLM) and the associated simulation tools.

Prerequisites: embedded and real-time applications (2A course), OO programming, C/C++ programming

Examination:

A written exam at the end of all the courses

A report on the practical activities.

Bibliographie/Textbooks :

Système de Calcul de la note finale :

Note de 1^{ère} session : (2 E + 1 TP)/3

Note de 2^{ème} session : (3 E + 1 TP)/4

MAJ 2007 / 2008

PRINCIPES DE BASES DES SoC

Volume total : C 15h
Période : Octobre à Décembre

ENSEIGNANT(S) : Stéphane MANCINI
e-mail: stephane.mancini@lis.inpg.fr
RESPONSABLE : Stéphane MANCINI
e-mail: stephane.mancini@lis.inpg.fr

Objectifs de l'enseignement :

- 1) Formaliser les principes qui conduisent aux choix architecturaux pour la conception de systèmes intégrés/embarqués et SoC (System on Chip)
- 2) Etablir des critères de performance et les éléments fondamentaux pour les développements à base de systèmes intégrés

Contenu :

Architectures des SoCs et études de cas

- Architectures
 - . Architecture Matérielle (bus intégrés, architecture mémoire, processeur intégrés, IP)
 - . Architecture Logicielle (RTOS, API)
 - . Architectures parallèles intégrés
- Etudes de cas :
 - . Multimédia, 3D
 - . Téléphonie mobile
 - . Processeur Réseau, xDSL

Prérequis :

Electronique numérique : conception de circuit, architecture des ordinateurs
Bases de l'informatique

Forme d'examen :

Dossier : étude de cas de produits industriels ou thèmes de recherche

Objectives:

- 1) Draw a panel of criterias leadings to architectural choices to be done for System on Chip (SoC) design
- 2) How to evaluate SoC characteristics and performance for OEM design

Contents:

Hardware Architecture (integrated bus, memory architecture, processors, IP)
Software Architecture (RTOS, API)
Integrated Parallel Architecture
Case Studies : Multimedia, 3D, Mobile phone, Network Processors, xDSL

Prerequisites:

Digital design, computer architecture
Software design basis

Examination:

Homework (case study)

Bibliographie/Textbooks :

Système de Calcul de la note finale :
Note de 1^{ère} session : N1=E1
Note de 2^{ème} session : N2= ES

MAJ 2007 / 2008